

FIȘA DISCIPLINEI

(masterat)

1. Date despre program

Instituția de învățământ superior	Universitatea "Ștefan cel Mare" din Suceava
Facultatea	Facultatea de Inginerie Electrică și Știința Calculatoarelor
Departamentul	Departamentul de Calculatoare, Electronică și Automatică
Domeniul de studii	Inginerie electronică, telecomunicații și tehnologii informaționale
Ciclul de studii	Master
Programul de studii	Rețele de Comunicații și Calculatoare

2. Date despre disciplină

Denumirea disciplinei	SISTEME CU DISPOZITIVE RECONFIGURABILE				
Titularul activităților de curs	Ș.l. dr. ing. Ionel ZAGAN				
Titularul activităților aplicative	Ș.l. dr. ing. Ionel ZAGAN				
Anul de studiu	I	Semestrul	1	Tipul de evaluare	Examen
Regimul disciplinei	Categorია formativă a disciplinei DSI – Discipline de sinteză; DAP – Discipline de aprofundare				DSI
	Categorია de opționalitate a disciplinei: DI - impusă, DO - opțională, DF - facultativă				DA

3. Timpul total estimat (ore alocate activităților didactice)

I a) Număr de ore, pe săptămână	2	Curs		Seminar		Laborator	1	Proiect	
I b) Totalul de ore (pe semestru) din planul de învățământ	28	Curs		Seminar		Laborator	14	Proiect	

II. Distribuția fondului de timp pe semestru	ore
II.a) Studiul după manual, suport de curs, bibliografie și notițe	14
II.b) Documentare suplimentară în bibliotecă, pe platformele electronice de specialitate și pe teren	14
II.b) Pregătire seminarii/laboratoare, teme, referate, portofolii și eseuri	13
II.d) Tutoriat	
III. Examinări	3
IV. Alte activități (precizați):	53

Total ore studiu individual II (a+b+c+d)	41
Total ore pe semestru (Ib+II+III+IV)	125
Numărul de credite	5

1. Precondiții (acolo unde este cazul)

Curriculum	•
Competențe	•

2. Condiții (acolo unde este cazul)

Desfășurare a cursului	• sala curs, proiector, tabla	
Desfășurare aplicații	Seminar	•
	Laborator	• sala laborator, proiector, tabla, calculatoare
	Proiect	•

3. Competențe specifice acumulate

Competențe profesionale	• C2. Modelarea și implementarea sistemelor informatice folosind arhitecturi și tehnologii hardware avansate
Competențe transversale	• CT1. Executarea unor sarcini profesionale complexe, în condiții de autonomie și de independență profesională

4. Obiectivele disciplinei (reieșind din grila competențelor specifice acumulate)

Obiectivul general al disciplinei	<ul style="list-style-type: none"> • Însușirea cunoștințelor teoretice fundamentale legate de ariile logice programabile.
	<ul style="list-style-type: none"> • Prezentarea de aplicații și exemple practice legate de realizarea, implementarea și testarea unor dispozitive sau a unor algoritmi folosind FPGA. • Dezvoltarea deprinderilor de cercetare interdisciplinară.

5. Conținuturi

Curs	Nr. ore	Metode de predare	Observații
1. Motivație. Prezentarea diferitelor arhitecturi FPGA. Comparatie ASIC, CPLD, FPGA. Familia de FPGA-uri Xilinx.	2	Videoproiector, tablă	
2. Prezentarea uneltelor de dezvoltare din pachetul Vivado XILINX. 2.1 Xilinx Constraints 2.2 Xilinx Timing Analyzer 2.3 Xilinx Floorplanner 2.4 Xilinx FPGA Editor 2.5 Xilinx Core Generator 2.6 Xilinx Project Navigator	4		
3. Prezentarea principalilor pași in proiectarea cu ajutorul FPGA (descrierea in HDL a circuitului, utilizarea constrângerilor, sinteza, implementarea).	1		
4. Tehnici avansate de proiectare folosind limbajul de descriere hardware Verilog. Verilog sintetizabil vs Verilog comportamental.	2		
5. Tehnologiile JTAG, Boundary Scan și portul USB.	1		
6. Proiectarea circuitelor secvențiale / FSM.	1		
7. Proiectarea unor circuite complexe folosind module.	1		
8. Algoritmi de rutare folosiți în cazul ariilor logice programabile	1		

Bibliografie

- Michael D. Ciletti, Advanced Digital Design with the Verilog(TM) HDL, Prentice Hall, 2002
- Samir Palnitkar, Verilog HDL (2nd Edition), Prentice Hall PTR, 2003
- Ken Coffman, Real World FPGA Design with Verilog, Prentice Hall PTR, 1999
- John V. Oldfield, Richard C. Dorf, Field-Programmable Gate Arrays : Reconfigurable Logic for Rapid Prototyping and Implementation of Digital Systems, Wiley-Interscience, 1995
- Bob Zeidman, Robert Zeidman, Designing with FPGAs and CPLDs, CMP Books, 2002
- Jan Axelson, USB Complete: Everything You Need to Develop Custom USB Peripherals, Lakeview Research, 2001
- Robert B. Reese, Mitchell A. Thornton, Introduction to Logic Synthesis using Verilog HDL, ISSN: 1930-3166, 2006
- Pong P. Chu, FPGA PROTOTYPING BY VERILOG EXAMPLES Xilinx SpartanTM-3 Version, ISBN 978-0-470-18532-2, 2008
- Steve Kilts, Advanced FPGA Design Architecture, Implementation, and Optimization, ISBN 978-0-470-05437-6, 2007
- David A. Patterson, John L. Hennessy, Computer Organization and Design, The Hardware/Software Interface: RISC-V Edition, ISBN: 978-0-12-812275-4, 2018

Aplicații (laborator)	Nr. ore	Metode de predare	Observații
1. Utilizarea instrumentelor din Vivado DS - XILINX.	2	Indrumar laborator	
2. Prezentarea și testarea placii de evaluare cu FPGA Artix-35T XILINX.	2		
3. Prezentarea instrumentelor de sinteză, simulare, implementare și mapare cu kit-ul de dezvoltare Arty.	2		
4. Implementarea unei interfețe pentru placa de extensie.	2		
5. Implementarea unui controler Ethernet.	2		
6. Implementarea unei interfețe cu memoria RAM.	2		
7. Implementarea unui microprocesor RISC folosind Microblaze soft-core.	2		

Bibliografie

- Michael D. Ciletti, Advanced Digital Design with the Verilog(TM) HDL, Prentice Hall, 2002
- Samir Palnitkar, Verilog HDL (2nd Edition), Prentice Hall PTR, 2003
- Ken Coffman, Real World FPGA Design with Verilog, Prentice Hall PTR, 1999
- John V. Oldfield, Richard C. Dorf, Field-Programmable Gate Arrays : Reconfigurable Logic for Rapid Prototyping and Implementation of Digital Systems, Wiley-Interscience, 1995
- Bob Zeidman, Robert Zeidman, Designing with FPGAs and CPLDs, CMP Books, 2002
- Jan Axelson, USB Complete: Everything You Need to Develop Custom USB Peripherals, Lakeview Research, 2001
- David A. Patterson, John L. Hennessy, Computer Organization and Design, The Hardware/Software Interface: RISC-V Edition, ISBN: 978-0-12-812275-4, 2018
- <https://www.xilinx.com/> (2021)
- SISTEME CU DISPOZITIVE RECONFIGURABILE -Îndrumar de laborator- (<http://www.eed.usv.ro/~zagan/>) 2021

6. Coroborarea conținuturilor disciplinei cu așteptările reprezentanților comunității epistemice, asociațiilor profesionale și angajatori reprezentativi din domeniul aferent programului

- **Cursuri asemănătoare din comunitatea academica si industrie:**
 - ECE 5760 Advanced Microcontroller Design and system-on-chip
<http://people.ece.cornell.edu/land/courses/ece5760/>
 - Xilinx ARM Training, FPGA Course Training
<http://www.hardent.com/electronic-design-services/xilinx-ARM-training-FPGA-course-training-courses-schedule.php>
 - FPGA I <http://extension.ucsd.edu/studyarea/index.cfm?vAction=singleCourse&vCourse=ECE-40170>
 - ECE5760 FPGA Cornell University Course , Prof. Bruce Land
people.ece.cornell.edu/land/courses/ece5760
 - ECE3829: Advanced Digital System Design with FPGAs
<http://ece.wpi.edu/~rjduck/ece3829.htm>
 - System-on-a-Chip (SoC) Design
http://www.ece.utexas.edu/~gerstl/ee382v_s10
 - IL2225 Embedded Hardware Design in ASIC and FPGA
<http://www.kth.se/student/kurser/kurs/IL2225?l=en>
 - ECE 540: System on a Chip Design with Programmable Logic
<http://www.pdx.edu/ece/ECE540>
 - Career Course in SoC(FPGA) Based System Design
<http://www.minglebox.com/college/SiON-Bangalore/course/Career-Course-in-SoC-FPGA-Based-System-Design>
 - 525.742.31: SOC FPGA Design Lab
<http://www.echelonembedded.com/soc/>

7. Evaluare

Tip activitate	Criterii de evaluare	Metode de evaluare	Pondere din nota finală
Curs	Cunoașterea și comunicarea într-o formă lizibilă a conținutului cursului	Evaluare prin probă finală de tip scris.	50%
Seminar			
Laborator	Implementarea corectă a diverselor interfețe/controlere/microprocesoare	Evaluare continuă (prin metode orale și probe practice)	50%
Proiect			
Standard minim de performanță			
Standarde minime pentru nota 5:			
<ul style="list-style-type: none"> - Cunoașterea și comunicarea într-o formă lizibilă a elementelor teoretice de bază despre arii logice programabile. - Cunoașterea utilizării mediului de dezvoltare XILINX Vivado WebPack. - Susținerea lucrărilor de laborator. 			
Standarde minime pentru nota 10:			
<ul style="list-style-type: none"> - Cunoașterea și comunicarea clară a elementelor teoretice de bază legate de arii logice programabile și Verilog. - Cunoașterea la un nivel înalt a utilizării mediului de dezvoltare XILINX Vivado WebPack și susținerea tuturor lucrărilor de laborator. - Trecerea testelor pe parcursul semestrului. - Realizarea tuturor obiectivelor propuse, ca membru al unei echipe, în cadrul temei de acasă. 			

Data completării	Semnătura titularului de curs	Semnătura titularului de aplicație
30.09.2022		

Data avizării în departament	Semnătura directorului de departament

Data aprobării în consiliul facultății	Semnătura decanului