

FIȘA DISCIPLINEI

(licență)

1. Date despre program

| | |
|-----------------------------------|--|
| Instituția de învățământ superior | Universitatea „Ștefan cel Mare” din Suceava |
| Facultatea | Facultatea de Inginerie Electrică și Știința Calculatoarelor |
| Departamentul | Calculatoare, Electronică și Automatică |
| Domeniul de studii | Ingineria sistemelor |
| Ciclul de studii | Licență |
| Programul de studii | Automatică și informatică aplicată |

2. Date despre disciplină

| | | | | | |
|------------------------------------|---|-----------|---|-------------------|----|
| Denumirea disciplinei | SISTEME CU MICROPROCESOARE | | | | |
| Titularul activităților de curs | Ș.l. dr. ing. Zagan Ionel | | | | |
| Titularul activităților aplicative | Ș.l. dr. ing. Zagan Ionel | | | | |
| Anul de studiu | II | Semestrul | 3 | Tipul de evaluare | E |
| Regimul disciplinei | Categorია formativă a disciplinei DF - fundamentală, DD - în domeniu, DS - de specialitate, DC – complementară | | | | DD |
| | Categorია de opționalitate a disciplinei: DI - impusă, DO - opțională, DF - facultativă | | | | DI |

3. Timpul total estimat (ore alocate activităților didactice)

| | | | | | | | | | |
|--|----|------|----|---------|--|----------------------------|----|---------|--|
| I a) Număr de ore pe săptămână | 4 | Curs | 2 | Seminar | | Laborator/lucrări practice | 2 | Proiect | |
| I b) Totalul de ore pe semestru din planul de învățământ | 56 | Curs | 28 | Seminar | | Laborator/lucrări practice | 28 | Proiect | |

| | |
|--|-----|
| II Distribuția fondului de timp pe semestru: | ore |
| II a) Studiul după manual, suport de curs, bibliografie și notițe | 17 |
| II b) Documentare suplimentară în bibliotecă, pe platformele electronice de specialitate și pe teren | 17 |
| II c) Pregătire seminarii/laboratoare, teme, referate, portofolii și eseuri | 7 |
| II d) Tutoriat | |
| III Examinări | 3 |
| IV Alte activități (precizați): | |

| | |
|--|-----|
| Total ore studiu individual II (a+b+c+d) | 41 |
| Total ore pe semestru (Ib+II+III+IV) | 100 |
| Numărul de credite | 4 |

4. Precondiții (acolo unde este cazul)

| | |
|------------|---|
| Curriculum | • Proiectare logică, Arhitectura Calculatoarelor, PLA |
| Competențe | |

5. Condiții (acolo unde este cazul)

| | |
|------------------------|---|
| Desfășurare a cursului | [1] PC, videoproiector |
| Desfășurare aplicații | Seminar [2] |
| | Laborator/lucrări practice [3] Laborator dotat cu minim 12 calculatoare PC având mediul de dezvoltare Vivado 2018.2. 8 x PC – minim P4@2,4GHz, 512MB RAM, 40GB HDD, CD-ROM, Monitor 17” TFT; 11 x Sistem de dezvoltare cu FPGA Nesys4 DDR; Imprimantă laser – HP 1100; Osciloscop Promax 20MHz; Osciloscop Metrix 100MHz; Generatoare semnal Thurlby-Thandar TG230, 2 MHz; Stații de lipit termostatare SL 20, SL 30; Aparat de măsură; Switch cu 16 porturi; Scule, accesoriile rețea; diverse, ghid de lucrări practice în format electronic. |

| | | |
|--|---------|-----|
| | Proiect | [4] |
|--|---------|-----|

6. Competențe specifice acumulate

| | |
|-------------------------|--|
| Competențe profesionale | CP5. Dezvoltarea de aplicații și implementarea algoritmilor și structurilor de conducere automată, utilizând principii de management de proiect, medii de programare și tehnologii bazate pe microcontrolere, procesoare de semnal, automate programabile, sisteme încorporate |
| Competențe transversale | |

7. Obiectivele disciplinei (reieșind din grila competențelor specifice acumulate)

| | |
|-----------------------------------|--|
| Obiectivul general al disciplinei | <p>[5] Prezentarea principalelor aspecte teoretice și practice legate de arhitectura, proiectarea și utilizarea sistemelor cu microprocesoare.</p> <p>[6] Prezentarea mediului Vivado 2018.2, limbajului de descriere hardware VERILOG și a kit-ului Nexys4 DDR.</p> <p>[7] Cunoașterea arhitecturii sistemelor cu microprocesoare.</p> <p>[8] Aprofundarea cunoștințelor referitoare la caracteristicile principale ale celor 4 subsisteme constitutive (UCP, memoria, intrare/ieșire, magistralele de comunicație).</p> <p>[9] Analiza unor microarhitecturi consacrate (IA32, MIPS32).</p> <p>[10] Învățarea aspectelor de bază privind modul de programare și de proiectare, utilizând limbajul de proiectare hardware VERILOG, a unui sistem cu microprocesor (arhitectură simplă).</p> <p>[11] Cunoașterea modului de utilizare optimă a resurselor unui sistem cu microprocesor.</p> <p>[12] Dezvoltarea capacităților de evaluare a diferitelor arhitecturi moderne de sisteme bazate pe microprocesoare.</p> <p>[13] Promovarea utilizării competențelor dobândite pentru dezvoltarea unor teme de casă pe grupuri de studenți.</p> |
|-----------------------------------|--|

8. Conținuturi

| Curs | Nr. ore | Metode de predare | Observații |
|---|---------|---|------------|
| [14] Introducere I 1. Noile tendințe în SOC 2. Cele 8 idei mari din arhitectura calculatoarelor 3. Suportul software al programelor 4. Suportul hardware al programelor 5. Tehnologiile pentru construirea procesorului și a memoriei | 3h | Expunerea, prelegerea-dezbateri, demonstrația | |
| [15] Introducere II 1. Despre performanțe 2. Impactul consumului de putere 3. Marea schimbare: comutarea de la uniprocessor la multiprocessor 4. Lumea reală: testele de performanță pentru Core i7 | 3h | Expunerea, prelegerea-dezbateri, demonstrația | |
| [16] Instrucțiunile: limbajul calculatorului I 1. Operațiile executate de hardware-ul calculatoarelor 2. Operanții suportați de hardware-ul calculatoarelor 3. Numere cu semn și fără semn 4. Reprezentarea instrucțiunilor în calculatoare 5. Operații logice 6. Instrucțiuni pentru luarea deciziilor 7. Suportul hardware în calculatoare pentru proceduri 8. Comunicarea cu oamenii | 3h | Expunerea, prelegerea-dezbateri, demonstrația | |
| [17] Instrucțiunile: limbajul calculatorului II 1. Adresarea în MIPS pentru valori imediate și adrese pe 32 de biți 2. Paralelismul și instrucțiunile: sincronizarea 3. Traducerea și pornirea unui program 4. Un exemplu de sortare în C care pune totul împreună 5. Aritmici vs. pointeri 6. Instrucțiuni ARMv7, RISC 7. Arhitecturi CISC, instrucțiuni x86 | 3h | Expunerea, prelegerea-dezbateri, demonstrația | |

| | | | |
|--|----|---|--|
| 8. Instrucțiuni ARMv8 – 64 de biți | | | |
| [18] Procesorul – MIPS-I 1. Introducere 2. Convenții privind proiectarea logică 3. Construirea căii de date 4. O schemă simplă de implementare | 3h | Expunerea, prelegerea-dezbatere, demonstrația | |
| [19] Procesorul – MIPS-II 1. O introducere în pipeline 2. Controlul și calea de date în pipeline 3. Hazardul de date: avansare versus blocare 4. Controlul hazardului | 3h | Expunerea, prelegerea-dezbatere, demonstrația | |
| [20] Procesorul – MIPS-III 1. Excepții 2. Paralelism via instrucțiuni 3. ARM Cortex A8 și Intel i7 4. Concluziile greșite și capcanele 5. Concluzii finale | 3h | Expunerea, prelegerea-dezbatere, demonstrația | |
| [21] Proiectarea ierarhiei de memorie I 1. 10 optimizări avansate ale performanțelor memorie cache 2. Tehnologii ale memoriilor și optimizări 3. Protecția: Memoria virtuală și mașini virtuale | 2h | Expunerea, prelegerea-dezbatere, demonstrația | |
| [22] Proiectarea ierarhiei de memorie II 1. Probleme transversale: proiectarea ierarhiei de memorie 2. Exemple: ierarhia de memorie pentru Cortex-A8 (ARM) și Intel Core I7 bazat pe arhitectura CISC. | 1h | Expunerea, prelegerea-dezbatere, demonstrația | |
| [23] Exploatarea paralelismului la nivelul instrucțiunilor I 1. Introducere (conceptele și paralelismul la nivelul instrucțiunilor) 2. Tehnici de bază de compilare pentru expunerea ILP 3. Reducerea costurilor ramificațiilor prin predicția avansată a ramificațiilor 4. Eliminarea hazardului de date utilizând planificarea dinamică 5. Exemple: ierarhia de memorie pentru Cortex-A8 (ARM) și Intel Core I7 bazat pe arhitectura CISC 6. Eliminarea hazardului de date utilizând planificarea dinamică | 4h | Expunerea, prelegerea-dezbatere, demonstrația | |
| Bibliografie | | | |
| [1] David A. Patterson, John L. Hennessey, Computer Organization and Design, The Hardware/Software Interface, 5th Edition, Release Date: 10 Oct 2013, Imprint: Morgan Kaufmann, Print Book ISBN : 9780124077263 , eBook ISBN : 9780124078864, Pages: 800. | | | |
| [2] W. Stallings, “Computer Organization and Architecture,” 10th Edition, 2015. ISBN: 978-0134101613 | | | |
| [3] David A. Patterson, John L. Hennessey, Computer Organization and Design, The Hardware/Software Interface, 3th Edition, Release 2005, Imprint: Morgan Kaufmann, ISBN: 1-55860-604-1. | | | |
| [4] David A. Patterson, John L. Hennessey, Organizarea și proiectarea calculatoarelor, Interfață HARDWARE/ SOFTWARE ALL, ISBN: 973-684-444-7 | | | |
| [5] John L. Hennessey , David A. Patterson, Computer Architecture - A Quantitative Approach, 5th Edition, Release Date: 25 Oct 2011 Imprint: Morgan Kaufmann, Print Book ISBN : 9780123838728 , eBook ISBN : 9780123838735 , Pages: 856. | | | |
| [6] William Stallings, COMPUTER ORGANIZATION AND ARCHITECTURE DESIGNING FOR PERFORMANCE NINTH EDITION, Pearson 2013, ISBN 13: 978-0-13-293633-0. | | | |
| [7] Tom Shanley, Bob Colwell, The Unabridged Pentium 4 IA32 Processor Genealogy Publisher: Addison Wesley, Pub Date: July 26, 2004, ISBN: 0-321-24656-X, Pages: 1744. | | | |
| [8] Jean-Loup Baer - University of Washington, Seattle, Microprocessor Architecture FROM SIMPLE PIPELINES TO CHIP MULTIPROCESSORS, CAMBRIDGE UNIVERSITY PRESS-2010, ISBN-13 978-0-521-76992-1. | | | |
| [9] Jon Stokes, INSIDE THE MACHINE - an illustrated introduction to microprocessors and computer architecture, 2007, No Starch Press, Inc. ISBN-13: 978-1-59327-104-6 | | | |
| [10] David Harris, Sarah Harris - Digital Design and Computer Architecture – Second Edition Editura: Elsevier | | | |

Science & Technology An aparitie: 2013, ISBN: 978-0-12-394424-5.

[11] Sivarama P. Dandamudi, Fundamentals Of Computer Organization and Design, Springer 2004, ISBN 0-387-95211-X

[12] Milles J. Murdocca, Vincent P. Heuring. PRINCIPLES OF COMPUTER ARCHITECTURE. Prentice Hall 2000. ISBN 0-201-43664-7

[13] Morris Mano, Charles Kime - Logic and Computer Design Fundamentals, 4/E, ISBN-10: 013198926XI, SBN-13: 9780131989269 Publisher: Prentice Hall, Copyright: 2008

[14] Vasile GĂITAN, ARHITECTURA SISTEMELOR DE CALCUL, Editura UNIVERSITĂȚII SUCEAVA ISBN 973-98389-9-5, 1998

[15] Andy TĂNASE, Vasile GĂITAN - FAMILIA DE PROCESOARE PENTRU PRELUCRAREA NUMERICĂ A SEMNALELOR ADSP-21XX. MATRIX ROM BUCUREȘTI 2002 ISBN: 973-685-356-X.

[16] Glenn A. Gibson. COMPUTER SYSTEM. CONCEPTS AND DESIGN. Prentice Hall 1991. ISBN 0-13-161811.

[17] Kai Hwang. ADVANCED COMPUTER ARCHITECTURE. PARALLELISM, SCALABILITY, PROGRAMMABILITY. McGraw Hill 1993. ISBN 0-07-113342-9.

[18] David A. Patterson, John L. Hennessey, Computer Organization and Design, The Hardware/Software Interface: RISC-V Edition, 2018 Elsevier Inc. All rights reserved, ISBN: 978-0-12-812275-4, 2018

[19] Ionel ZAGAN - CONTRIBUȚII LA DEZVOLTAREA SISTEMELOR DE OPERARE ÎN TIMP REAL CU FUNCȚII IMPLEMENTATE ÎN HARDWARE, Editura UNIVERSITĂȚII SUCEAVA ISBN 978-973-666-513-4, 2018

[20] Ionel Zagan, V. G. Găitan, "Structura și Organizarea Calculatoarelor", îndrumar de laborator, Editura Universității Ștefan cel Mare din Suceava, 2019, ISBN: 978-973-666-553-0

Bibliografie minimală

[1] David A. Patterson, John L. Hennessey, Computer Organization and Design, The Hardware/Software Interface, 5th Edition, Release Date: 10 Oct 2013, Imprint: Morgan Kaufmann, Print Book ISBN : 9780124077263 , eBook ISBN : 9780124078864, Pages: 800.

[2] W. Stallings, "Computer Organization and Architecture," 10th Edition, 2015. ISBN: 978-0134101613

[3] John L. Hennessey , David A. Patterson, Computer Architecture - A Quantitative Approach, 5th Edition, Release Date: 25 Oct 2011 Imprint: Morgan Kaufmann, Print Book ISBN : 9780123838728 , eBook ISBN : 9780123838735 , Pages: 856.

[4] David A. Patterson, John L. Hennesey ORGANIZAREA ȘI PROIECTAREA CALCULATOARELOR – INTERFAȚA HARDWARE / SOFTWARE. Editura ALL 2002. ISBN 973-684-444-7.

[5] Tom Shanley, Bob Colwell, The Unabridged Pentium 4 IA32 Processor Genealogy Publisher: Addison Wesley, Pub Date: July 26, 2004, ISBN: 0-321-24656-X, Pages: 1744.

[6] Jean-Loup Baer - University of Washington, Seattle, Microprocessor Architecture FROM SIMPLE PIPELINES TO CHIP MULTIPROCESSORS, CAMBRIDGE UNIVERSITY PRESS-2010, ISBN-13 978-0-521-76992-1.

[7] Jon Stokes, INSIDE THE MACHINE - an illustrated introduction to microprocessors and computer architecture, 2007, No Starch Press, Inc. ISBN-13: 978-1-59327-104-6

[8] David Harris, Sarah Harris - Digital Design and Computer Architecture – Second Edition Editura: Elsevier Science & Technology An aparitie: 2013 ISBN: 978-0-12-394424-5.

[9] David A. Patterson, John L. Hennessey, Computer Organization and Design, The Hardware/Software Interface: RISC-V Edition, 2018 Elsevier Inc. All rights reserved, ISBN: 978-0-12-812275-4, 2018

[10] Ionel ZAGAN - CONTRIBUȚII LA DEZVOLTAREA SISTEMELOR DE OPERARE ÎN TIMP REAL CU FUNCȚII IMPLEMENTATE ÎN HARDWARE, Editura UNIVERSITĂȚII SUCEAVA ISBN 978-973-666-513-4, 2018

[11] Ionel Zagan, V. G. Găitan, "Structura și Organizarea Calculatoarelor", îndrumar de laborator, Editura Universității Ștefan cel Mare din Suceava, 2019, ISBN: 978-973-666-553-0

| Aplicații (Seminar / laborator / lucrări practice / proiect) | Nr. ore | Metode de predare | Observații |
|--|---------|--------------------------------|------------|
| Laborator | | Lucrări practice, experimentul | |
| 1) Securitatea și sănătatea în muncă. Noțiuni de bază despre MicroBlaze, Vivado IP Integrator și Software Development Kit. | 2h | | |
| 2) Utilizarea mediului de proiectare Vivado. Fluxul tipic de proiectare. | 2h | | |
| 3) Introducere în limbajul de descriere hardware Verilog. | 2h | | |
| 4) Prezentarea kit-ului de dezvoltare cu FPGA Nexys4 DDR. | 2h | | |
| 5) Analizorul logic Vivado – Depanarea hardware utilizând nucleele ILA (Integrated Logic Analyzer). Semnalul de ceas și multiplexoare. | 2h | | |
| 6) Circuitul de ceas, numărătorul program (PC) și | 2h | | |

| | | | |
|---|----|--|--|
| memoria program. Utilizarea Xilinx® Intellectual Property (IP). | | | |
| 7) Fișierul de regiștri, unitatea de testare a condiției și extinderea semnului. | 2h | | |
| 8) Unitatea aritmetică și logică - ALU. | 2h | | |
| 9) Implementarea regiștrilor pipeline. Unitatea de control pentru procesorul MIPS32. | 2h | | |
| 10) Calea de date pentru procesorul MIPS32. | 2h | | |
| 11) Unitatea de detecție a hazardului și unitatea de avansare din pipeline. Stagnarea pipeline. | 2h | | |
| 12) Sistemul de întreruperi, excepții și coprocesorul 0 în MIPS32. | 2h | | |
| 13) Testarea proiectului System on Chip ce include procesorul MIPS32. | 2h | | |
| 14) Aplicații. Realizarea de programe în limbaj de asamblare pentru microprocesorul MIPS32. | 2h | | |

Bibliografie

- [1] Vincent P. Heuring, University of Colorado, Boulder, Harry F. Jordan, University of Colorado, Boulder, Computer Systems Design and Architecture, 2/E, ISBN-10: 0130484407, ISBN-13: 9780130484406, Publisher: Prentice Hall, Copyright: 2004.
- [2] David A. Patterson, John L. Hennessey, Computer Organization and Design, The Hardware/Software Interface, 5th Edition, Release Date: 10 Oct 2013, Imprint: Morgan Kaufmann, Print Book ISBN : 9780124077263 , eBook ISBN : 9780124078864, Pages: 800.
- [3] David A. Patterson, John L. Hennessey ORGANIZAREA ȘI PROIECTAREA CALCULATOARELOR – INTERFAȚA HARDWARE / SOFTWARE. Editura ALL 2002. ISBN 973-684-444-7.
- [4] Tom Shanley, Bob Colwell, The Unabridged Pentium 4 IA32 Processor Genealogy Publisher: Addison Wesley Pub Date: July 26, 2004 ISBN: 0-321-24656-X
- [5] Jon Stokes, Inside the Machine, NO STARCH PRESS, 2007, ISBN 978-1-59327-104-6.
- [6] www.arm.com
- [7] David Harris, Sarah Harris - Digital Design and Computer Architecture – Second Edition Editura: Elsevier Science & Technology An aparitie:2013 ISBN: 978-0-12-394424-5
- [8] W. Stallings, “Computer Organization and Architecture,” 10th Edition, 2015. ISBN: 978-0134101613
- [9] David A. Patterson, John L. Hennessey, Computer Organization and Design, The Hardware/Software Interface: RISC-V Edition, 2018 Elsevier Inc. All rights reserved, ISBN: 978-0-12-812275-4, 2018
- [10] Ionel ZAGAN - CONTRIBUȚII LA DEZVOLTAREA SISTEMELOR DE OPERARE ÎN TIMP REAL CU FUNCȚII IMPLEMENTATE ÎN HARDWARE, Editura UNIVERSITĂȚII SUCEAVA ISBN 978-973-666-513-4, 2018
- [11] Ionel Zagan, V. G. Găitan, "Structura și Organizarea Calculatoarelor ", îndrumar de laborator, Editura Universității Ștefan cel Mare din Suceava, 2019, ISBN: 978-973-666-553-0
- [12] www.xilinx.com (2022)
- [13] <http://www.eed.usv.ro/~zagan/>

Bibliografie minimală

- [1] Vincent P. Heuring, University of Colorado, Boulder, Harry F. Jordan, University of Colorado, Boulder, Computer Systems Design and Architecture, 2/E, ISBN-10: 0130484407, ISBN-13: 9780130484406, Publisher: Prentice Hall, Copyright: 2004.
- [2] Patterson & Hennessy, Computer Organization and Design, Revised Fourth Edition, 4th Edition, The Hardware/Software Interface, Print Book, Author(s) : Release Date: 06 Dec 2011, Imprint: Morgan Kaufmann, ISBN: 9780123747501
- [3] David A. Patterson, John L. Hennessey ORGANIZAREA ȘI PROIECTAREA CALCULATOARELOR – INTERFAȚA HARDWARE / SOFTWARE. Editura ALL 2002. ISBN 973-684-444-7.
- [4] David Harris, Sarah Harris - Digital Design and Computer Architecture – Second Edition Editura: Elsevier Science & Technology An aparitie:2013 ISBN: 978-0-12-394424-5.
- [5] W. Stallings, “Computer Organization and Architecture,” 10th Edition, 2015. ISBN: 978-0134101613
- [6] David A. Patterson, John L. Hennessey, Computer Organization and Design, The Hardware/Software Interface: RISC-V Edition, 2018 Elsevier Inc. All rights reserved, ISBN: 978-0-12-812275-4, 2018
- [7] Ionel ZAGAN - CONTRIBUȚII LA DEZVOLTAREA SISTEMELOR DE OPERARE ÎN TIMP REAL CU FUNCȚII IMPLEMENTATE ÎN HARDWARE, Editura UNIVERSITĂȚII SUCEAVA ISBN 978-973-666-513-4, 2018
- [8] Ionel Zagan, V. G. Găitan, "Structura și Organizarea Calculatoarelor ", îndrumar de laborator, Editura Universității Ștefan cel Mare din Suceava, 2019, ISBN: 978-973-666-553-0
- [9] www.xilinx.com (2022)
- [10] <http://www.eed.usv.ro/~zagan/>

9. Coroborarea conținuturilor disciplinei cu așteptările reprezentanților comunității epistemice, asociațiilor profesionale și angajatori reprezentativi din domeniul aferent programului

Conținutul cursului și al laboratorului este în concordanță cu conținutul disciplinelor similare de la programele de studiu Calculatoare de la alte universități din țară și străinătate. Capitolele de la 1 la 3 sunt bazate în proporție de peste 90% pe referința bibliografică [1], în timp ce capitolele de la 4 la 6 sunt bazate în proporție de peste 90% pe referința bibliografică [4]. Autorii acestor referințe, profesorii David Patterson de la Universitatea Berkeley și John Hennesey de la Universitatea Stanford, sunt somități recunoscute în domeniul structurii și organizării calculatoarelor. În plus cursul are la baza materialul pentru instructor pus la dispoziție de prestigioasa editură Morgan Kaufmann. O multitudine de universități prestigioase au cursuri pentru structura și organizarea calculatoarelor bazate pe aceste materiale dintre care amintim Cursurile CS61c și CS252 de la Berkeley (<http://www-inst.eecs.berkeley.edu/~cs61c/sp14/#Resources>, <http://inst.eecs.berkeley.edu/~cs252/sp14/>) cursul 6.823 de la MIT, și multe altele. În țară compatibilitatea cursului pentru primele trei capitole este cu cursul de calculatoare numerice II de la Facultatea de Automatică și Calculatoare din Universitatea Politehnica București (http://csite.cs.pub.ro/descrieri_an3.htm#167 Calculatoare numerice II), cursul denumit Organizarea calculatoarelor de la Facultatea de Automatică și Calculatoare din Universitatea Politehnica Timișoara (<http://www.ac.upt.ro/uploads/planuri/2010/licenta/cti/CTI-22-LC45-Organizarea-calculatoarelor.pdf>), iar pentru ultimele 4 capitole cursul este compatibil cu cursul predat de profesorul Lucian Vințan la Univesitatea Lucian Blaga din Sibiu (http://csac.ulbsibiu.ro/files/planuri2010/L_TI_3_43_Sisteme_cu_microprocesoare.pdf)

10. Evaluare

| Tip activitate | Criterii de evaluare | Metode de evaluare | Pondere din nota finală |
|----------------|--|---|-------------------------|
| Curs | <ul style="list-style-type: none"> Participarea activă în timpul cursurilor. Înșușirea elementelor teoretice de bază legate de structura și organizarea calculatoarelor; Comunicarea corectă a noțiunilor teoretice expuse la curs. | Evaluare continuă și probă finală mixtă (de tip grilă (Moodle) și probă scrisă plus probă orală) din noțiunile furnizate la curs. | 50% |
| Seminar | | | |
| Laborator | <ul style="list-style-type: none"> Implementarea tuturor lucrărilor practice de laborator; Susținerea cu rezultate bune a evaluării practice. | Evaluare continuă (prin metode orale și probe practice) | 50% |
| Proiect | | | |

10.1. Standard minim de performanță evaluare la curs

- Înșușirea și comunicarea într-o formă lizibilă a elementelor teoretice de bază legate sistemelor cu microprocesor, care să conducă la un răspuns corect la cel puțin 50 % dintre problemele din testul grilă.

10.2. Standard minim de performanță evaluare la activitatea aplicativă

- Cunoașterea utilizării mediului de dezvoltare Vivado 2018.2, implementarea și testarea aplicațiilor demonstrative utilizând limbajul de descriere hardware Verilog și kit-ul de dezvoltare cu FPGA Nexys4 DDR.
- Susținerea lucrărilor de laborator și a evaluării practice.

| | | |
|------------------|-------------------------------|------------------------------------|
| Data completării | Semnătura titularului de curs | Semnătura titularului de aplicație |
| 19.09.2023 | | |

| | |
|---------------|--------------------------------------|
| Data avizării | Semnătura responsabilului de program |
| 20.09.2023 | |

| | |
|------------------------------|---------------------------------------|
| Data avizării în departament | Semnătura directorului de departament |
| 22.09.2023 | |

| | |
|--|---------------------|
| Data aprobării în consiliul facultății | Semnătura decanului |
| 22.09.2023 | |