

FIȘA DISCIPLINEI

1. Date despre program

Facultatea	Facultatea de Inginerie Electrică și Știința Calculatoarelor
Departamentul	Electrotehnică
Domeniul de studii	Inginerie energetică
Ciclul de studii	Licență
Programul de studii	Energetică și tehnologii informatice

2. Date despre disciplină

Denumirea disciplinei	STRUCTURA ȘI ORGANIZAREA CALCULATOARELOR				
Anul de studiu	III	Semestrul	5	Tipul de evaluare	V
Regimul disciplinei	Categorია formativă a disciplinei DF - fundamentală, DS - de specializare, DC – complementară				DS
	Categorია de opționalitate a disciplinei: DOB – obligatorie, DOP – opțională, DFA - facultativă				DFA

3. Timpul total estimat (ore alocate activităților didactice)

I a) Număr de ore pe săptămână	5	Curs	3	Seminar		Laborator/lucrări practice	2	Proiect	
I b) Totalul de ore pe semestru din planul de învățământ	70	Curs	42	Seminar		Laborator/lucrări practice	28	Proiect	

II Distribuția fondului de timp pe semestru:	ore
II. Studiu individual	52
III. Examinări	3
IV. Alte activități (precizați):	

Total ore studiu individual (II+III)	55
Total ore pe semestru (Ib+II+III+IV)	125
Numărul de credite	5

4. Competențe specifice acumulate

Competențe transversale	CT1 Gestionează resurse financiare și materiale
Competențe profesionale	CP13 Proiectează interfețe de aplicații; CP18 Proiectează rețele electrice inteligente; CP19 Dezvoltă software cu sursa deschisă; CP20 Gestionează date în domeniul energetic

5. Rezultatele învățării

Cunoștințe	Aptitudini	Responsabilitate și autonomie
Studentul/absolventul trebuie: - Să analizeze critic conceptele fundamentale ale principalelor aspecte teoretice și practice legate de arhitectura, proiectarea și utilizarea sistemelor cu microprocesor. - Să evalueze rolul celor 4 subsisteme constitutive ale unui sistem de calcul: UCP, memoria, intrare/ieșire, magistralele de comunicație. - Să diferențieze și să evalueze	Studentul/absolventul trebuie: - Să elaboreze modele pentru diferite componente ale sistemelor de calcul, hardware și software. - Să implementeze calea de date a unui microprocesor cu 5 etaje pipeline (MIPS32 ISA). - Să proiecteze un sistem cu microprocesor de tip RISC (arhitectură simplă). - Să evalueze caracteristicile funcționale și nefuncționale ale sistemelor de calcul și să gestioneze modul de utilizare optimă a resurselor hardware.	Studentul/absolventul trebuie: - Să arate spirit de inițiativă și acțiune pentru actualizarea cunoștințelor profesionale privind diferite microarhitecturi consacrate cum ar fi MIPS32, RISC-V, ARM, x86. - Să demonstreze deschidere către aprofundarea de noi tehnologii și cunoștințe referitoare la caracteristicile principale ale sistemelor cu microprocesor. - Să utilizeze în mod autonom documentația tehnică pentru

diferite microarhitecturi consacrate precum MIPS32, RISC-V, ARM, x86.	- Să integreze diferite sisteme cu microprocesoare utilizând Vivado DS, Verilog HDL și kit-ul cu FPGA Nexys4 DDR.	dezvoltarea unor proiecte pe grupuri de studenți.
---	---	---

6. Obiectivele disciplinei (reieșind din grila competențelor specifice acumulate)

Obiectivul general al disciplinei	Prezentarea principalelor aspecte teoretice și practice legate de arhitectura, proiectarea și utilizarea sistemelor cu microprocesoare, aprofundarea cunoștințelor referitoare la caracteristicile principale ale celor 4 subsisteme constitutive (UCP, memoria, intrare/ieșire, magistralele de comunicație), analiza unor microarhitecturi consacrate (MIPS32, ARM, RISC-V, x86), învățarea aspectelor de bază privind modul de programare și de proiectare a unui sistem cu microprocesor cu 5 etaje pipeline (arhitectură simplă), cunoașterea modului de utilizare optimă a resurselor unui sistem cu microprocesor și dezvoltarea capacităților de evaluare a diferitelor arhitecturi moderne de sisteme bazate pe microprocesor.
-----------------------------------	---

7. Conținutul predării și învățării

Curs	Nr. ore	Metode de predare	Observații
- Introducere I - Noile tendințe în SOC - Cele 8 idei mari din arhitectura calculatoarelor - Suportul software al programelor - Suportul hardware al programelor - Tehnologiile pentru construirea procesorului și a memoriei	3h	Expunerea, prelegerea-dezbateri, demonstrația	
- Introducere II - Despre performanțe - Arhitecturi RISC(MIPS, ARM, RISC-V) și CISC - Impactul consumului de putere - Marea schimbare (The Sea Change): comutarea de la uniprocessor la multiprocessor - Lumea reală: testele de performanță pentru Core i7	3h	Expunerea, prelegerea-dezbateri, demonstrația	
- Instrucțiunile: limbajul calculatorului I - Operațiile executate de hardware-ul calculatoarelor - Operanzii suportați de hardware-ul calculatoarelor - Numere cu semn și fără semn - Reprezentarea instrucțiunilor în calculatoare - Operații logice - Instrucțiuni pentru luarea deciziilor - Suportul hardware în calculatoare pentru proceduri - Comunicarea cu oamenii - Arhitectura setului de instrucțiuni RISC-V	3h	Expunerea, prelegerea-dezbateri, demonstrația	
- Instrucțiunile: limbajul calculatorului II - Adresarea în MIPS pentru valori imediate și adrese pe 32 de biți - Paralelismul și instrucțiunile: sincronizarea - Translatarea și pornirea unui program - Un exemplu de sortare în C care pune totul împreună - Arii vs. pointeri - Instrucțiuni RISC-V, ARMv7 - Arhitecturi CISC, instrucțiuni x86 - Instrucțiuni ARMv8 – 64 de biți	3h	Expunerea, prelegerea-dezbateri, demonstrația	
- Procesorul – MIPS-I - Introducere - Convenții privind proiectarea logică - Construirea căii de date - O schemă simplă de implementare	3h	Expunerea, prelegerea-dezbateri, demonstrația	
- Procesorul – MIPS-II - O introducere în pipeline - Controlul și calea de date în pipeline - Hazardul de date: avansare versus blocare - Controlul hazardului	3h	Expunerea, prelegerea-dezbateri, demonstrația	

• Procesorul – MIPS-III ➤ Excepții ➤ Paralelism via instrucțiuni ➤ ARM Cortex A8 și Intel i7 ➤ Concluziile greșite și capcanele ➤ Concluzii finale	3h	Expunerea, prelegerea-dezbateri, demonstrația	
• Proiectarea ierarhiei de memorie I ➤ 10 optimizări avansate ale performanțelor memorie cache ➤ Tehnologii ale memoriilor și optimizări ➤ Protecția: Memoria virtuală și mașini virtuale	3h	Expunerea, prelegerea-dezbateri, demonstrația	
• Proiectarea ierarhiei de memorie II ➤ Probleme transversale: proiectarea ierarhiei de memorie ➤ Exemple: ierarhia de memorie pentru Cortex-A8 (ARM) și Intel Core I7 bazat pe arhitectura CISC.	3h	Expunerea, prelegerea-dezbateri, demonstrația	
• Exploatarea paralelismului la nivelul instrucțiunilor I ➤ Introducere (conceptele și paralelismul la nivelul instrucțiunilor) ➤ Tehnici de bază de compilare pentru expunerea ILP ➤ Reducerea costurilor ramificațiilor prin predicția avansată a ramificațiilor ➤ Eliminarea hazardului de date utilizând planificarea dinamică.	3h	Expunerea, prelegerea-dezbateri, demonstrația	
• Exploatarea paralelismului la nivelul instrucțiunilor II ➤ Planificarea dinamică: exemple și algoritmi ➤ Execuția speculativă bazată pe hardware ➤ Exploatarea ILP utilizând lansarea de instrucțiuni multiple și planificarea dinamică.	3h	Expunerea, prelegerea-dezbateri, demonstrația	
• Exploatarea paralelismului la nivelul instrucțiunilor III ➤ Exploatarea ILP utilizând planificarea dinamică, surse multiple de instrucțiuni și execuția speculativă ➤ Tehnici avansate pentru furnizarea instrucțiunilor și execuția speculativă ➤ Studii privind limitările ILP	3h	Expunerea, prelegerea-dezbateri, demonstrația	
• Paralelismul la nivelul datelor în arhitecturi de tip vectoriale, SIMD și GPU ➤ Introducere ➤ Arhitecturi de tip vector ➤ Extensia setului de instrucțiuni SIMD pentru multimedia ➤ Unități de procesare grafice – GPU	3h	Expunerea, prelegerea-dezbateri, demonstrația	
• Paralelismul la nivelul datelor în arhitecturi de tip vectoriale, SIMD și GPU ➤ Detectarea și extinderea paralelismului la nivelul buclelor ➤ Aspecte transversale ➤ Mobile versus servere GPU și Tesla versus Core i7.	3h	Expunerea, prelegerea-dezbateri, demonstrația	
Bibliografie minimală recomandată			
[1] David A. Patterson, John L. Hennessey, Computer Organization and Design, The Hardware/Software Interface, 5th Edition, Imprint: Morgan Kaufmann, ISBN : 9780124077263, 2013 [2] W. Stallings, "Computer Organization and Architecture," 10th Edition, ISBN: 978-0134101613, 2015 [3] John L. Hennessey , David A. Patterson, Computer Architecture - A Quantitative Approach, 5th Edition, Imprint: Morgan Kaufmann, Print Book ISBN: 9780123838728, 2011 [4] Jean-Loup Baer - University of Washington, Seattle, Microprocessor Architecture FROM SIMPLE PIPELINES TO CHIP MULTIPROCESSORS, CAMBRIDGE UNIVERSITY PRESS, ISBN-13 978-0-521-76992-1, 2010. [5] Charles Fox, Computer Architecture, ISBN-10: 1718502869, ISBN-13: 9781718502864, 2024 [6] Jim Ledin, Modern Computer Architecture and Organization (a doua ediție), ISBN-10: 1803234512, ISBN-13: 9781803234519, 2022 [7] David A. Patterson, John L. Hennessey, Computer Organization and Design, The Hardware/Software Interface: RISC-V Edition, Elsevier, ISBN: 978-0-12-812275-4, 2018			

Aplicații (laborator)	Nr. ore	Metode de predare	Observații
• Noțiuni de bază despre Verilog HDL, Vivado IP Integrator și Software Development Kit.	2h	Lucrări practice, experimentul	
• Utilizarea mediului de proiectare Vivado. Fluxul tipic de proiectare cu FPGA Nexys4 DDR.	2h	Lucrări practice, experimentul	
• Analizorul logic Vivado – Depanarea hardware utilizând nucleeele ILA (Integrated Logic Analyzer). Semnalul de ceas și multiplexoare utilizate în pipeline.	2h	Lucrări practice, experimentul	
• Circuitul de ceas, numărătorul program (PC) și memoria program.	2h	Lucrări practice, experimentul	
• Utilizarea Xilinx Intellectual Property (IP).	2h	Lucrări practice, experimentul	
• Fișierul de regiștri, unitatea de testare a condiției și extinderea semnului.	2h	Lucrări practice, experimentul	
• Unitatea aritmetică și logică - ALU.	2h	Lucrări practice, experimentul	
• Implementarea regiștrilor pipeline.	2h	Lucrări practice, experimentul	
• Unitatea de control pentru procesorul MIPS32.	2h	Lucrări practice, experimentul	
• Calea de date pentru procesorul MIPS32.	2h	Lucrări practice, experimentul	
• Unitatea de detecție a hazardului și unitatea de avansare din pipeline. Stagnarea pipeline.	2h	Lucrări practice, experimentul	
• Sistemul de întreruperi, excepții și coprocesorul 0 în MIPS32.	2h	Lucrări practice, experimentul	
• Testarea proiectului System on Chip ce include procesorul MIPS32.	2h	Lucrări practice, experimentul	
• Aplicații. Realizarea de programe în limbaj de asamblare pentru microprocesorul MIPS32.	2h	Lucrări practice, experimentul	
Bibliografie minimală recomandată			
[1] David Harris, Sarah Harris - Digital Design and Computer Architecture – Second Edition Editura: Elsevier Science & Technology, ISBN: 978-0-12-394424-5, 2013. [2] Simon Monk, Programming FPGAs: Getting Started with Verilog 1st Edition, ISBN-10: 125964376X, ISBN-13: 978-1259643767, McGraw Hill, 2016 [3] Stuart Sutherland, RTL Modeling with SystemVerilog for Simulation and Synthesis: Using SystemVerilog for ASIC and FPGA Design, 1st Edition, ISBN-10:1546776346, ISBN-13: 978-1546776345, 2017 [4] Richard E Haskell, Darrin M Hanna, Digital Design Using Digilent FPGA Boards: VHDL / Vivado Edition, ISBN-10: 0982497083, 2019 [5] Wen-Long Chin, Principles of Verilog Digital Design, ISBN 10: 1032034122 ISBN 13: 9781032034126, CRC Press, 2022 [6] Ionel Zagan, Contribuții la dezvoltarea sistemelor de operare în timp real cu funcții implementate în hardware, Editura UNIVERSITĂȚII SUCEAVA, ISBN 978-973-666-513-4, 2018 [7] Ionel Zagan, V. G. Găitan, "Structura și Organizarea Calculatoarelor ", îndrumar de laborator, Editura Universității Ștefan cel Mare din Suceava , ISBN: 978-973-666-553-0, 2019			

8. Evaluare

Tip activitate	Criterii de evaluare	Metode de evaluare	Pondere din nota finală
Evaluare finală	- Participarea activă în timpul cursurilor. - Însușirea elementelor teoretice de bază legate de structura și organizarea calculatoarelor; - Comunicarea corectă a noțiunilor teoretice expuse la curs.	Evaluare continuă și probă finală mixtă (de tip grilă (Moodle) și probă scrisă) din noțiunile și problemele prezentate/furnizate la curs.	50%
Evaluare pe parcurs	- Implementarea tuturor lucrărilor practice de laborator; - Susținerea cu rezultate bune a evaluării practice.	Evaluare continuă (prin metode orale și probe practice)	50%

Fișa disciplinei include, dacă este cazul, elemente adaptate persoanelor cu dizabilități, în funcție de tipul și gradul acestora.

Data completării	Grad didactic, nume, prenume, semnătura titularului de curs	Grad didactic, nume, prenume, semnătura titularului de aplicație
22.09.2026	Conf. dr. ing. Ionel ZAGAN	Conf. dr. ing. Ionel ZAGAN

Data avizării	Grad didactic, nume, prenume, semnătura responsabilului de program
24.09.2026	Conf. univ. dr. ing. Pavel ATĂNĂSOAE

Data avizării în departament	Grad didactic, nume, prenume, semnătura directorului de departament
24.09.2026	Conf. univ. dr. ing. Daniela IRIMIA

Data aprobării în consiliul facultății	Grad didactic, nume, prenume, semnătura decanului
25.09.2026	Prof. univ. dr. ing. Laurențiu- Dan MILICI