FIȘA DISCIPLINEI

1. Date despre program

Facultatea	Inginerie Electrică şi Ştiinţa Calculatoarelor
Departamentul	Calculatoare, Electronică şi Automatică
Domeniul de studii	Ingineria sistemelor
Ciclul de studii	Licenţă
Programul de studii	Automatică şi informatică aplicată

2. Date despre disciplină

Denumirea disciplinei	CIRCUITE LOGICE PROGRAMABILE				
Anul de studiu	IV	Semestrul	8	Tipul de evaluare	E
Regimul disciplinei	Categoria formativă a disciplinei DF - fundamentală, DS - de specializare, DC – complementară				DS
	Categoria de opționalitate a disciplinei: DOB – obligatorie, DOP – opțională, DFA - facultativă				DOP

3. Timpul total estimat (ore alocate activităților didactice)

I a) Număr de ore pe săptămână	3	Curs	2	Seminar	-	Laborator/ Lucrări practice	1	Proiect	-
I b) Totalul de ore pe semestru din planul de învățământ	42	Curs	28	Seminar	-	Laborator/ Lucrări practice	14	Proiect	-

Distribuția fondului de timp pe semestru	ore
II. Studiu individual	55
III. Examinări	3
IV. Alte activități (precizați):	-

Total ore studiu individual (II+III)	58
Total ore pe semestru (I.b+II+III+IV)	100
Numărul de credite	4

4. Competențe specifice acumulate

Competențe transversale	CT6. Îşi asumă responsabilitatea.
Competențe profesionale	CP2. Proiecteaza componente de automatizare. CP10. Utilizeaza baze de date.

5. Rezultatele învățării

Cunoștințe	Aptitudini	Responsabilitate și autonomie
Studentul/absolventul descrie, identifică şi corelează arhitecturile sistemelor numerice și circuitelor reconfigurabile VLSI, principiile proiectării VLSI și programarea cu limbaje de descriere hardware Verilog și VHDL.	Studentul/absolventul modelează, proiectează şi implementează sisteme integrate de complexitate medie–mare, incluzând plăci cu microcontroler/ procesor/FPGA, circuite VLSI şi programează cu limbaje de descriere hardware Verilog sau VHDL.	Studentul/absolventul planifică şi conduce etapele programării unui circuit reconfigurabil, îşi asumă roluri tehnice şi de coordonare, respectă standardele de siguranţă, securitate şi protecţia mediului şi demonstrează iniţiativă pentru actualizarea continuă a competenţelor profesionale.

6. Obiectivele disciplinei (reieșind din grila competențelor specifice acumulate)

Obiectivul general al disciplinei	Cunoașterea și înțelegerea conceptelor referitoare la tehnologii VLSI, hardware programabil și programarea circuitelor reprogramabile utilizând limbaje de descriere hardware (Verilog HDL, VHDL).

7. Conținutul predării și învățării

Curs 28h	Nr. ore	Metode de predare	Observații
1.Introducere în domeniul tehnologiei VLSI. Elemente de proiectare a sistemelor digitale.	4	Expunere, conversație, exemplificare, problematizare, exercițiu didactic, studiu de caz	Se utilizează note de curs sub formă de prezentări PowerPoint
2. Etapele proiectării unui sistem digital. Tehnologii de programare a unui dispozitiv digital.	4		
3. Dispozitive programabile FPGA.	4		
4. Dispozitive programabile CPLD.	2		
5. Tehnici de proiectare a circuitelor integrate digitale.	2		
6. Introducere in limbajul Verilog HDL- elemente de sintaxă ale limbajului Verilog, operatori și primitive Verilog, atribuirea continuă și procedurală, construcții de selecție și control.	2		
7. Modelarea circuitelor digitale folosind limbaje de descriere hardware HDL.	2		
8. Descrierea structurală a circuitelor digitale în Verilog.	2		
9. Descrierea comportamentală a circuitelor digitale în Verilog.	2		
10. Descrierea mixtă a circuitelor digitale în Verilog.	2		
11. Task-uri și funcții Verilog	2		
Bibliografie minimală recomandată			
1. Iuliana Chiuchisan, A.L.Onofrei, *Proiectarea în limbaje de descriere hardware. Aplicații Verilog HDL*, Ed.CERMI, Iasi, 2009. 2. Wen-Long Chin, *Principles of Verilog Digital Design*, Ed. CRC Press, ISBN: 9781003187196 (ebk), 2022. 3. Robert Dunne, *Computer Architecture Tutorial using an FPGA : ARM & Verilog Introductions*, ISBN : 9780970112491 (digital), 2020. 4. Brock J. LaMeres, *Introduction to Logic Circuits & Logic Design with Verilog*, second edition, Ed. Springer, ISBN: 9783030136055 (eBook), 2020.			

Aplicații (laborator) 14h	Nr. ore	Metode de predare	Observații
1. Noțiuni de sănătate și securitate în muncă. Introducere în tehnologii VLSI și limbajele de descriere hardware (HDL). Compilarea și simularea unui design HDL în ModelSIM.	2	Demonstrația și experimentul didactic, simulări, aplicații practice	Se utilizează programe de simulare dedicate limbajelor HDL (ModelSIM IntelFPGA), platforme INTEL System-on-Chip (SoC) FPGA - DE10-Standard
2. Sintaxa limbajului Verilog. Operatori Verilog și atribuirea continuă. Primitive Verilog.	2		
3. Descrierea structurală a unui circuit logic digital.	2		
4. Atribuirea procedurală, construcții de selecție și control.	2		
5. Descrierea la nivel comportamental.	2		
6. Descrierea mixtă a unor circuite combinaționale uzuale.	2		
7. Descrierea mixtă a unor circuite secvențiale uzuale.	2		
Bibliografie minimală recomandată			
1. Iuliana Chiuchisan, A.L.Onofrei, *Proiectarea în limbaje de descriere hardware. Aplicații Verilog HDL*, Ed.CERMI, Iasi, 2009. 2. Iuliana Chiuchisan, A. Potorac, *Proiectarea Circuitelor Logice*, Ed. Universitatii din Suceava, Suceava 2009. 3. Brock J. LaMeres, *Quick Start Guide to Verilog*, Ed. Springer, ISBN: 9783030105525 (eBook), 2019. 4. Joseph Cavanagh, *Verilog HDL Design Examples*, Ed. CRC Press, ISBN: 9781315103846 (eBook), 2018. 5. Robert Dunne, *Computer Architecture Tutorial using an FPGA : ARM & Verilog Introductions*, ISBN : 9780970112491 (digital), 2020.			

8. Evaluare

Tip activitate	Criterii de evaluare	Metode de evaluare	Pondere din nota finală
Evaluare finală	Utilizarea riguroasă a terminologiei VLSI (tehnologii de fabricație, blocuri IP, reconfigurabilitate, logică sintetizabilă vs. nesintetizabilă). Compararea și evaluarea critică a diferitelor arhitecturi/metode de implementare în FPGA/VLSI Proiectarea și descrierea (comportamentală și structurală) a unor sisteme digitale/algoritmi de calcul numeric (ex: sumatoare, multiplicatoare, registre, numărătoare) utilizând Verilog HDL. Elaborarea de bancuri de teste (testbenches) pentru simularea numerică a modulelor.	Examen evaluare sumativă (subiecte de evaluare a cunoștințelor - probă scrisă și probă practică)	40%
Evaluare pe parcurs	Crearea unor module de complexitate medie în Verilog HDL ce combină descrierea structurală (instanțiere de blocuri IP, porți sau sub-module) cu descrierea comportamentală (blocuri always, alocări	Evaluare sumativă (referate sau teste de	60%

	secvențiale/paralele, instrucțiuni de decizie) pentru a modela algoritmi din ingineria sistemelor. Explicarea interdependențelor conceptuale, interpretarea rezultatelor și justificarea avantajelor/dezavantajelor soluției mixte.	evaluare – probă practică)	

Fișa disciplinei include, dacă este cazul, elemente adaptate persoanelor cu dizabilități, în funcție de tipul și gradul acestora.

Data completării	Grad didactic, nume, prenume, semnătura titularului de curs	Grad didactic, nume, prenume, semnătura titularului de aplicație
23.09.2026	Prof. univ. dr. ing. Alin-Dan POTORAC Ș.l. dr. ing. Iuliana CHIUCHIȘAN	Ș.l. dr. ing. Iuliana CHIUCHIȘAN

Data avizării	Grad didactic, nume, prenume, semnătura responsabilului de program
24.09.2026	Ș.l.dr.ing. Corneliu BUZDUGA

Data avizării în departament	Grad didactic, nume, prenume, semnătura directorului de departament
24.09.2026	Conf.dr.ing. Eugen COCA

Data aprobării în consiliul facultății	Grad didactic, nume, prenume, semnătura decanului
25.09.2026	Prof.dr.ing. Laurenţiu-Dan MILICI